



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0043686
Application Number

출원 년 월 일 : 2003년 06월 30일
Date of Application JUN 30, 2003

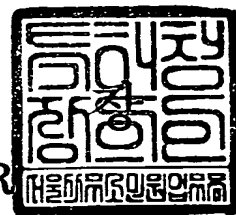
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0043
【제출일자】	2003.06.30
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	Method for manufacturing a semiconductor device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	송영택
【성명의 영문표기】	SONG,Young Taek
【주민등록번호】	680927-1405110
【우편번호】	138-172
【주소】	서울특별시 송파구 송파2동 삼성아파트 101-605
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	14 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	29,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 반도체 소자의 제조방법에 관한 것으로, 연마공정시 도핑물질(B 또는 P)이 첨가된 슬러리를 이용하여 평탄화공정을 실시함으로써 균일한 연마가 가능하여 인접한 워드라인들 사이를 안정적으로 분리시킬 수 있는 반도체 소자의 제조방법.

【대표도】

도 7

【색인어】

반도체 소자, CMP, LP, LPC

【명세서】

【발명의 명칭】

반도체 소자의 제조방법{Method for manufacturing a semiconductor device}

【도면의 간단한 설명】

도 1 내지 도 7은 본 발명에 따른 반도체 소자의 제조방법을 설명하기 위해 도시한 반도체 소자의 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

102 : 반도체 기판	104 : 필드 산화막
106 : 게이트 산화막	108 : 게이트층
110 : 하드 마스크층	112 : 워드라인
114 : 스페이서	116 : 절연막
118 : LPC	120 : LP용 폴리 실리콘막
122 : LP	

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 랜딩 플러그를 형성하기 위한 연마공정시 연마공정의 안정성을 확보할 수 있는 반도체 소자의 제조방법에 관한 것이다.
- <10> 일반적으로, 반도체 제조 공정시 워드라인과 워드라인 사이를 전기적으로 분리 (isolation)시키기 위하여 연마공정을 실시하고 있다. 그러나, 이 공정 진행 후 랜딩 플러그 (Landing Plug; 이하 'LP'라 함)용 폴리 실리콘막과 워드라인 사이의 절연을 위해 증착된 절연막 간의 식각률(etching rate) 차에 의해 절연막이 오버 디싱(over dishing)된다. 이에 따라, 오버 디싱되는 절연막의 상부 표면에 연마공정 중에 발생하는 슬러리(slurry)성 잔류물(residue)이 잔존하게 된다. 이와 같이, 연마공정시 발생하는 잔류물들은 대부분 도전성을 갖는 금속물질로 이루어져 있으며, 후속 세정(cleaning) 공정을 통해서도 제거하기가 어려워 그대로 잔재하게 된다. 이러한 잔류물들은 워드라인 간의 전기적 분리에 많은 악영향을 미치고 있는 실정이다.
- <11> 최근에는 연마공정시 발생하는 절연막의 오버 디싱을 방지하기 위하여 연마공정시 연마량을 감소시키고 있다. 그러나, 이 경우에는 상대적으로 워드라인 간의 전기적인 분리에 많은 문제가 발생한다. 이는, LP를 형성하기 위한 랜딩 플러그 콘택(Landing Plug Contact; 이하, 'LPC'라 함) 형성시 오픈(open)되는 지역의 워드라인이 상대적으로 오픈이 되지 않은 지역에 비해 많은 공격(attack)을 받아 워드라인 상부의 프로파일(profile)이 라운드(round) 형태로 변형되기 때문이다. 이에 따라, LP의 상부 면적이 넓어지게 되어 워드라인 간의 전기적인 분리

마진(margin)이 더 열악해진다. 이를 극복하기 위하여 연마공정시 다시 연마량을 증가시키면, 워드라인의 잔류 질화막이 감소하게 되며, 이에 따라 스토리지 노드(storage node)와 비트라인 셀프 얼라인 콘택(Self Align Contact; 이하, 'SAC'라 함) 형성공정시 영향을 미치며, 심지어 이들과 워드라인의 텅스텐 실리사이드 간에 단락(short)이 발생하기도 한다.

【발명이 이루고자 하는 기술적 과제】

- <12> 따라서, 본 발명의 바람직한 실시예는 랜딩 플러그를 형성하기 위한 연마공정시 연마공정의 안정성을 확보하는데 그 목적이 있다.
- <13> 또한, 본 발명의 바람직한 실시예는 워드라인 간의 전기적인 분리를 안정적으로 확보하는데 다른 목적이 있다.
- <14> 또한, 본 발명의 바람직한 실시예는 스토리지 노드와 비트라인 셀프 얼라인 콘택 형성공정시 자유도를 높혀 스토리지 노드 또는 비트라인 셀프 얼라인 콘택과 워드라인 간에 발생할 수 있는 단락을 방지하는데 또 다른 목적이 있다.

【발명의 구성 및 작용】

- <15> 본 발명의 일측면에 따르면, 액티브 영역과 필드 영역으로 정의되는 반도체 기판을 제공하는 단계와, 상기 반도체 기판의 액티브 영역 및 필드 영역에 다수의 워드라인을 형성하는 단계와, 상기 워드라인들 사이를 절연하도록 전체 구조 상부에 절연막을 증착하는 단계와, 상기 액티브 영역의 워드라인들이 오픈되도록 상기



절연막을 패터닝하여 랜딩 플러그 콘택을 형성하는 단계와, 상기 랜딩 플러그 콘택을 매립하도록 폴리 실리콘막을 증착하는 단계와, 제1 도핑물질이 첨가된 슬러리를 이용한 제1 연마공정을 실시하여 상기 폴리 실리콘막만 평탄화하여 상기 절연막을 노출시키는 단계와, 제2 도핑물질이 첨가된 슬러리를 이용한 제2 연마공정을 실시하여 전체 구조 상부를 평탄화하여 랜딩 플러그를 형성하는 단계를 포함하는 반도체 소자의 제조방법이 제공된다.

<16> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

<17> 도 1 내지 도 8은 본 발명의 바람직한 실시예에 따른 반도체 소자의 제조방법을 설명하기 위하여 단계적으로 도시한 단면도들이다. 여기서, 도 1 내지 도 8에서 도시된 동일한 참조번호는 동일한 기능을 하는 동일한 구성요소(element)를 가리킨다.

<18> 도 1을 참조하면, 액티브 영역(active region)과 필드 영역(field region)으로 정의되며, DHF(Diluted HF), SC-1($\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ 용액) 및 BOE(Buffer Oxide Etchant) 중 적어도 어느 하나를 이용한 세정공정에 의해 세정된 반도체 기판(102)을 제공한다. 반도체 기판(102)의 필드 영역에 필드 산화막(104)을 형성한다. 이때, 필드 산화막(104)은 STI(Shallow Trench Isolation) 공정을 이용하여 트렌치(trench) 구조로 형성하거나, LOCOS(LOCal Oxidation of Silicon) 공정을 이용하여 형성할 수도 있다.

<19> 도 2를 참조하면, 액티브 영역과 필드 영역, 즉 필드 산화막(104)을 포함하는 반도체 기판(102) 상에 다수의 게이트 전극(112)(이하, '워드라인'이라 함)을 형성한다. 워드라인(112)은 게이트 산화막(106), 게이트층(108) 및 하드 마스크층(110)으로 이루어진다. 게이트층(108)



은 적어도 하나의 폴리실리콘막 또는 도프트 폴리실리콘막으로 형성되거나, 폴리실리콘막들과 이 폴리실리콘막들 사이에 적어도 하나의 유전체막이 형성된 구조로 이루어질 수도 있다. 하드 마스크층(110)은 질화막으로 형성된다.

<20> 이어서, 액티브 영역 및 필드 영역의 워드라인(112)의 양측으로 노출되는 반도체 기판(102)에 저농도 접합영역과 고농도 접합영역으로 이루어진 소오스 및 드레인 접합영역(미도시)을 형성한다. 저농도 접합영역은 LDD(Lightly Drain Doped) 이온주입공정을 통해 형성된다. 고농도 접합영역은 워드라인(112)의 양측벽에 스페이서(114)를 형성한 후 이 스페이서(114)를 마스크로 이용한 고농도 이온주입공정을 통해 형성된다. 한편, 스페이서(114)는 질화막으로 형성하거나, 산화막 및 질화막의 적층구조로 형성된다.

<21> 도 3을 참조하면, 전체 구조 상부에 절연막(116)을 증착한다. 절연막(116)은 액티브 영역 및 필드 영역에서 인접하게 형성된 워드라인(112) 사이를 전기적으로 분리시키는 기능을 한다. 절연막(116)은 SOG(Spin On Glass), USG(Un-doped silicate glass), BPSG(Boron-Phosphorus Silicate glass), PSG(Phosphorus Silicate Glass), PETEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate Glass) 및 IPO(Inter Poly Oxide) 중 적어도 어느 하나를 이용하여 형성한다. 또한, 절연막(116)은 인접하게 형성된 워드라인(112) 간의 공간을 갭 필링(gap filling)하도록 증착된다.

<22> 도 4를 참조하면, 전체 구조 상부에 포토레지스트막(photoresist film)을 도포한 후 포토 마스크를 이용한 노광 및 현상공정을 순차적으로 실시하여 국부적으로 오픈되는 포토레지스트 패턴(미도시)을 형성한다. 상기 포토레지스트 패턴은 액티브 영역이 오픈되도록 형성하는 것이 바람직하다. 그런 다음, 상기 포토레지스트 패턴을 식각 마스크로 이용한 식각공정을 실시하여 절연막(116)을 식각한다. 이로써, LPC(118)가 형성된다. 이때, LPC(118)를 형성하기 위



한 식각공정은 식각비가 낮은 건식식각공정을 실시하되, 플라즈마 건식식각공정을 실시하는 것이 바람직하다.

<23> 도 5를 참조하면, 도 4에서 식각마스크로 사용된 포토레지스트 패턴은 스트립공정을 통해 제거된다. 그런 다음, LPC(118)가 매립되도록 전체 구조 상부에 LP용 폴리 실리콘막(120)을 증착한다. 이때, LP용 폴리실리콘막(120)은 LPC(118) 영역에 형성된 워드라인(112) 사이의 공간이 갭 필링되도록 증착하는 것이 바람직하다.

<24> 도 6을 참조하면, 전체 구조 상부에 대하여 CMP(Chemical Mechanical Polishing) 방식의 연마공정(이하, '제1 연마공정'이라 함)을 실시하여 LP용 폴리실리콘막(120)이 평탄화된다. 이때, 제1 연마공정은 LP용 폴리실리콘막(120) 만을 평탄화하기 위하여 도핑물질, 예컨대 보론(boron; B)이 첨가된 실리카 베이스 슬러리(silica base slurry)를 사용한다. 여기서, 보론의 농도는 2wt% 내지 5wt%로 하는 것이 바람직하다. 예컨대, 제1 연마공정은 CMP 장비의 M/R/I(Main brain/Retain ring/Inner tube)에 인가되는 압력을 2 내지 8psi(pound/in²)로 하고, CMP 장비의 P/H(Pad/Head)의 회전력은 30 내지 150rpm으로 하여 실시할 수 있다.

<25> 도 7을 참조하면, 전체 구조 상부에 대하여 제2 연마공정을 실시한다. 이때, 제2 연마공정은 절연막(116), LP용 폴리실리콘막(120) 및 하드 마스크층(110)을 동시에 평탄화하기 위하여 도핑물질, 예컨대 인(phosphorus; P)이 첨가된 슬러리를 사용한다. 여기서, 인의 농도는 2wt% 내지 5wt%로 하는 것이 바람직하다. 예컨대, 제2 연마공정은 CMP 장비의 M/R/I(Main brain/Retain ring/Inner tube)에 인가되는 압력을 2 내지 8psi(pound/in²)로 하고, CMP 장비의 P/H(Pad/Head)의 회전력은 30 내지 150rpm으로 하여 실시할 수 있다. 이로써, 제2 연마공정에 의해 LPC(118) 영역의 워드라인(112) 사이에는 LP(122)가 형성된다.



<26> 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

- <27> 이상에서 설명한 바와 같이, 본 발명에서는 연마공정시 도핑물질이 첨가된 슬러리를 이용하여 평탄화공정을 실시함으로써 균일한 연마가 가능하여 인접한 워드라인들 사이를 안정적으로 분리시킬 수 있다.
- <28> 또한, 본 발명에서는 랜딩 플러그를 형성하기 위한 연마공정을 안정적으로 확보함으로써 스토리지 노드와 비트라인 셀프 얼라인 콘택 형성공정시 자유도를 높혀 스토리지 노드 또는 비트라인 셀프 얼라인 콘택과 워드라인 간에 발생할 수 있는 단락을 방지할 수 있다.



【특허청구범위】

【청구항 1】

- (a) 액티브 영역과 필드 영역으로 정의되는 반도체 기판을 제공하는 단계;
- (b) 상기 반도체 기판의 액티브 영역 및 필드 영역에 다수의 워드라인을 형성하는 단계 ;
- (c) 상기 워드라인들 사이를 절연하도록 전체 구조 상부에 절연막을 증착하는 단계;
- (d) 상기 액티브 영역의 워드라인들이 오픈되도록 상기 절연막을 패터닝하여 랜딩 플러그 콘택을 형성하는 단계;
- (e) 상기 랜딩 플러그 콘택을 매립하도록 폴리 실리콘막을 증착하는 단계;
- (f) 제1 도핑물질이 첨가된 슬러리를 이용한 제1 연마공정을 실시하여 상기 폴리 실리콘막만 평탄화하여 상기 절연막을 노출시키는 단계; 및
- (g) 제2 도핑물질이 첨가된 슬러리를 이용한 제2 연마공정을 실시하여 전체 구조 상부를 평탄화하여 랜딩 플러그를 형성하는 단계를 포함하는 반도체 소자의 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 제1 도핑물질이 보론(B)인 반도체 소자의 제조방법.

【청구항 3】

제 2 항에 있어서,



상기 보론(B)의 농도는 2wt% 내지 5wt%인 반도체 소자의 제조방법.

【청구항 4】

제 1 항에 있어서,

상기 제2 도핑물질이 인(P)인 반도체 소자의 제조방법.

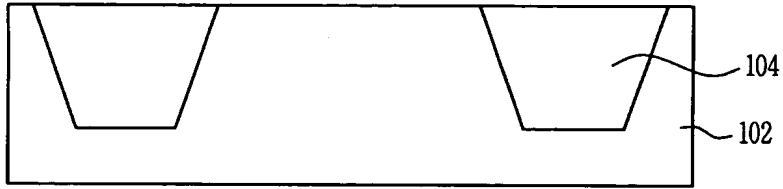
【청구항 5】

제 4 항에 있어서,

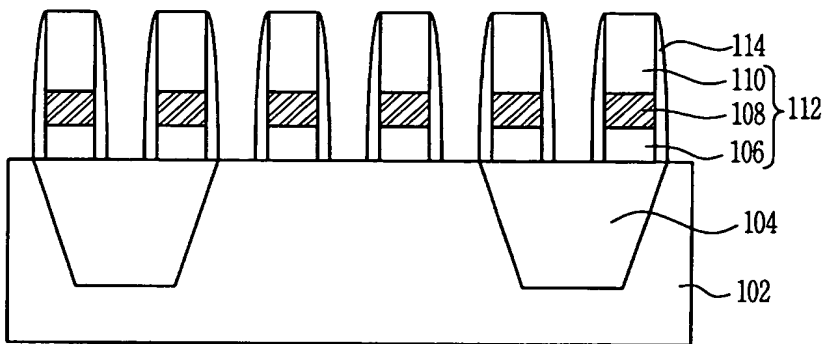
상기 인(P)의 농도는 2wt% 내지 5wt%인 반도체 소자의 제조방법.

【도면】

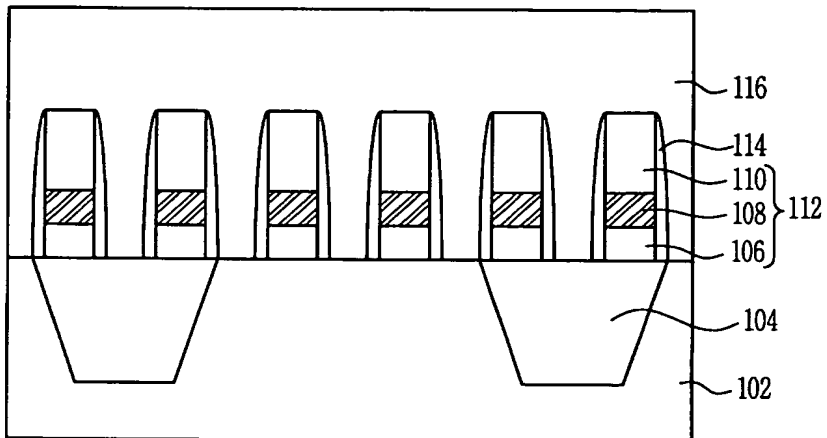
【도 1】



【도 2】

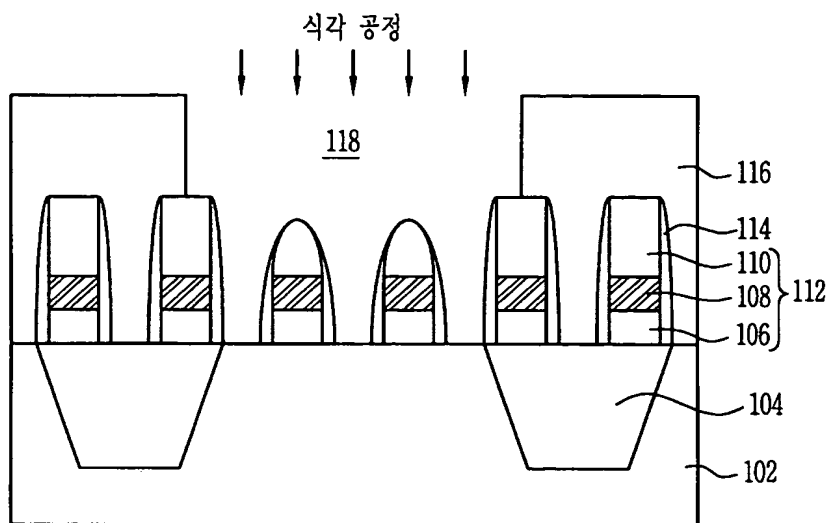


【도 3】

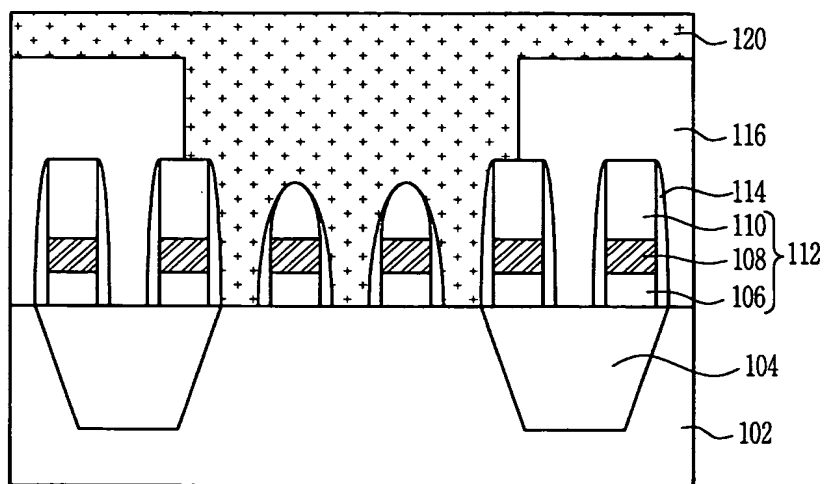




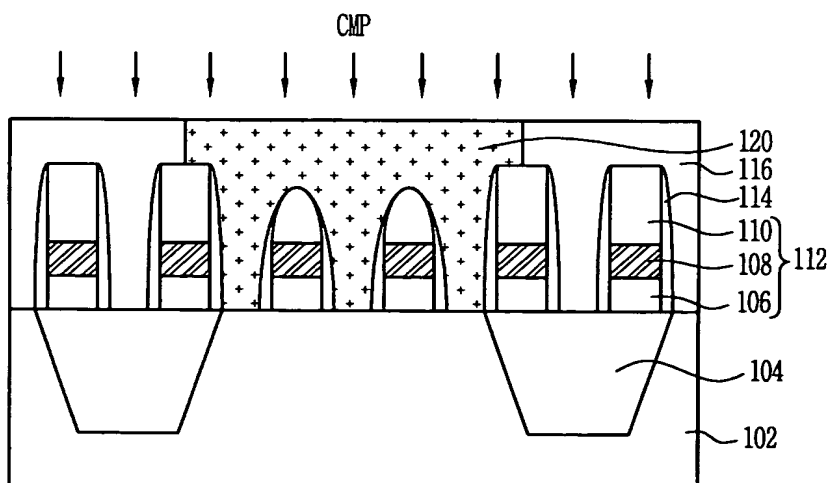
【도 4】



【도 5】



【도 6】





【도 7】

